

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-024106

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

G02F 1/136  
H01L 29/786

(21)Application number : 09-193198

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.07.1997

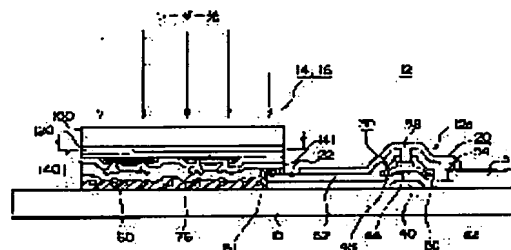
(72)Inventor : INOUE SATOSHI  
SHIMODA TATSUYA

## (54) SUBSTRATE FOR LIQUID CRYSTAL PANEL, LIQUID CRYSTAL PANEL, AND THEIR MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the substrate for the liquid crystal which can have a driver area, using a polycrystalline silicon TFT, formed on one substrate in a pixel area using an amorphous TFT, the liquid crystal panel, and their manufacture.

**SOLUTION:** The manufacture of the substrate for the liquid crystal panel which has the pixel area 12 and driving circuits 14 and 16 on a 1st substrate 10 is disclosed. In a 1st process, pixels having amorphous TFTs 30 as switching elements and 1st electrode wiring groups 40 and 48 connected to the pixels are formed in the pixel area 12 on the 1st substrate 10, and a part which becomes a terminal is exposed as a 1st electrode exposure part 22. In a 2nd process, a 2nd substrate 100 is used to form polycrystalline silicon TFTs as active elements of the driving circuits 14 and 16 and a transferred layer 140 including a 2nd electrode wiring group connected thereto, and a part which becomes a terminal is exposed as a 2nd electrode exposure part 141. In a 3rd process, the transferred layer 140 is joined onto the 1st substrate 10 in the position relation wherein the 1st and 2nd electrode exposure parts 22 and 141 are electrically connected together. In a 4th process, the 2nd substrate 100 is removed from the transferred layer 140.



## LEGAL STATUS

[Date of request for examination]

26.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3738798

[Date of registration]

11.11.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-24106

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.<sup>6</sup>

G 0 2 F 1/136

H 0 1 L 29/786

識別記号

5 0 0

F I

C 0 2 F 1/136

H 0 1 L 29/78

5 0 0

6 1 2 B

審査請求 未請求 請求項の数21 F D (全 23 頁)

(21) 出願番号

特願平9-193198

(22) 出願日

平成9年(1997) 7月3日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 井上 聡

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 下田 達也

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

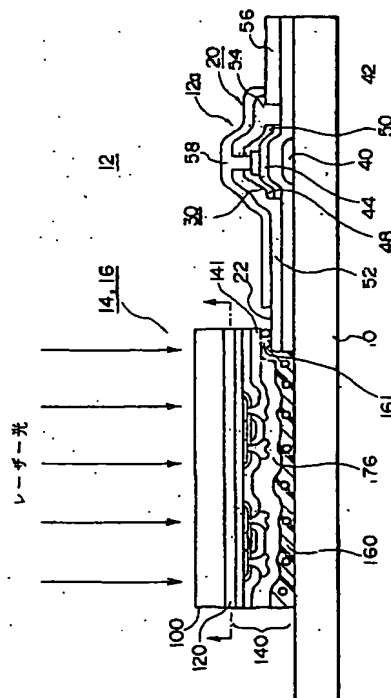
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 液晶パネル用基板及び液晶パネル並びにそれらの製造方法

(57) 【要約】

【課題】 アモルファスシリコンTFTを用いた画素領域に、多結晶シリコンTFTを用いたドライバ領域とを一枚の基板に形成することができる液晶パネル用基板及び液晶パネル並びにその製造方法を提供すること。

【解決手段】 第1の基板10上に画素領域12と駆動回路14、16とを有する液晶パネル用基板の製造方法である。第1工程で、第1の基板10上の画素領域12に、アモルファスシリコンTFT30をスイッチング素子とする複数の画素と、該複数の画素に接続された第1の電極配線群40、48とを形成し、端子となる部分を露出させて第1の電極露出部22とする。第2工程で、第2の基板100を用いて、駆動回路14、16の能動素子である多結晶シリコンTFTと、それに接続された第2の電極配線群を含む被転写層140を形成し、端子となる部分を露出させて第2の電極露出部141とする。第3工程で、この第1、第2の電極露出部22、141が導通する位置関係にて、第1の基板10上に被転写層140を接合する。第4工程で、被転写層140より第2の基板100を除去する。



## 【特許請求の範囲】

【請求項1】 第1の基板上に画素領域と駆動回路とを有する液晶パネル用基板の製造方法であって、前記第1の基板上の前記画素領域に、第1の半導体装置をスイッチング素子とする複数の画素と、該複数の画素に接続された第1の電極配線群とを形成し、前記第1の電極配線群の端子となる部分を露出させて第1の電極露出部とする第1工程と、前記第1の基板とは異なる第2の基板を用いて、前記駆動回路の能動素子であって半導体層が単結晶または多結晶シリコンである複数の第2の半導体装置と、該複数の第2の半導体装置に接続された第2の電極配線群とを含む被転写層を形成し、前記第2の電極配線群の端子となる部分を露出させて第2の電極露出部とする第2工程と、前記第1、第2の電極露出部が導通する位置関係にて、前記第1の基板上に前記被転写層を転写する第3工程と、を有することを特徴とする液晶パネル用基板の製造方法。

【請求項2】 請求項1において、前記第1の半導体装置が、アモルファスシリコンをチャンネルとする薄膜トランジスタであり、前記第2の半導体装置が、多結晶シリコンをチャンネルとする薄膜トランジスタであることを特徴とする液晶パネル用基板の製造方法。

【請求項3】 請求項1または2において、前記被転写層より前記第2の基板を除去する第4工程をさらに有することを特徴とする液晶パネル用基板の製造方法。

【請求項4】 請求項3において、前記第2工程では、前記第2の基板上に分離層を形成し、前記分離層上に前記被転写層を形成し、前記第4工程では、前記分離層を境として、前記被転写層より前記第2の基板を除去することを特徴とする液晶パネル用基板の製造方法。

【請求項5】 請求項1乃至4のいずれかにおいて、前記第2工程は、一枚の前記第2の基板上に、複数の前記被転写層を同時に形成する工程と、複数の前記被転写層を個々に分離する工程と、を含むことを特徴とする液晶パネル用基板の製造方法。

【請求項6】 請求項5において、前記第2工程は、同時に形成された複数の前記被転写層の電気的特性を検査する検査工程を有し、前記第3工程は、前記検査工程にて良品と判別された被転写層を前記第1の基板上に転写する工程を含むことを特徴とする液晶パネル用基板の製造方法。

【請求項7】 請求項1乃至6のいずれかにおいて、前記第3工程は、前記第1の基板上の複数の領域にて、それぞれ被転写層を転写する工程を有することを特徴と

する液晶パネル用基板の製造方法。

【請求項8】 請求項1乃至7のいずれかにおいて、前記第3工程は、異方性導電膜を介在させて、前記第1の基板と前記被転写層とを接続することを特徴とする液晶パネル用基板の製造方法。

【請求項9】 請求項1乃至8のいずれかにおいて、前記第1工程は、前記第1の半導体装置及び第1の電極配線群を第1の設計ルールに従って形成し、前記第2工程は、前記第2の半導体装置及び第2の電極配線群を、前記第1の設計ルールよりも最小線幅が小となる第2の設計ルールに従って形成することを特徴とする液晶パネル用基板の製造方法。

【請求項10】 転写基板上に画素領域と駆動回路を転写して液晶パネル用基板を製造する方法であって、前記転写基板とは異なる第1の製造用基板を用いて、第1の半導体装置をスイッチング素子とする複数の画素と、該複数の画素に接続された第1の電極配線群とを含む第1の被転写層を形成し、前記第1の電極配線群の端子となる部分を露出させて第1の電極露出部とする第1工程と、

前記転写基板とは異なる第2の製造用基板を用いて、前記駆動回路の能動素子であってかつ半導体層が単結晶または多結晶である複数の第2の半導体装置と、該複数の第2の半導体装置に接続された第2の電極配線群とを含む第2の被転写層を形成し、前記第2の電極配線群の端子となる部分を露出させて第2の電極露出部とする第2工程と、

前記転写基板上に、配線層を形成する第3の工程と、前記転写基板上に形成された配線層に対して、第1、第2の電極露出部が対向する位置関係にて、前記転写基板上に前記第1、第2の被転写層を転写する第4工程と、少なくとも前記第1の製造用基板を、前記第1の被転写層より除去する第5工程と、を有することを特徴とする液晶パネル用基板の製造方法。

【請求項11】 請求項10において、前記第1の半導体装置が、アモルファスシリコンをチャンネルとする薄膜トランジスタであり、前記第2の半導体装置が、ポリシリコンをチャンネルとする薄膜トランジスタであることを特徴とする液晶パネル用基板の製造方法。

【請求項12】 請求項10または11において、前記第5工程では、前記第2の製造用基板を前記第2の被転写層より除去する工程を含むことを特徴とする液晶パネル用基板の製造方法。

【請求項13】 請求項12において、前記第1、第2工程では、前記第1、第2の製造用基板上にそれぞれ分離層を形成し、各々の前記分離層上に前記第1、第2の被転写層をそれぞれ形成し、前記第5工程では、各々前記分離層を境として、前記第

1, 第2の被転写層より前記第1, 第2の製造用基板をそれぞれ除去することを特徴とする液晶パネル用基板の製造方法。

【請求項14】 請求項10乃至13のいずれかにおいて、

前記第1, 第2工程は、一枚の前記第1, 第2の製造用基板上に、複数の前記第1, 第2の被転写層をそれぞれ同時に形成する工程と、複数の前記第1, 第2の被転写層をそれぞれ個々に分離する工程と、を含むことを特徴とする液晶パネル用基板の製造方法。

【請求項15】 請求項14において、

前記第1, 第2工程は、同時に形成された複数の前記第1, 第2の被転写層の電気的特性を検査する検査工程を有し、

前記第4工程は、前記検査工程にて良品と判別された第1, 第2の被転写層を前記転写基板上に転写する工程を含むことを特徴とする液晶パネル用基板の製造方法。

【請求項16】 請求項10乃至15のいずれかにおいて、

前記第4工程は、前記転写基板上の複数の領域にて、第1の被転写層および第2の被転写層のいずれか一方または双方を転写する工程を有することを特徴とする液晶パネル用基板の製造方法。

【請求項17】 請求項10乃至16のいずれかにおいて、

前記第4工程は、異方性導電膜を介在させて、前記転写基板と前記第1, 第2の被転写層とを接続することを特徴とする液晶パネル用基板の製造方法。

【請求項18】 請求項10乃至17のいずれかにおいて、

前記第1工程は、前記第1の半導体装置及び第1の電極配線群を第1の設計ルールに従って形成し、

前記第2工程は、前記第2の半導体装置及び第2の電極配線群を、前記第1の設計ルールよりも最小線幅が小となる第2の設計ルールに従って形成することを特徴とする液晶パネル用基板の製造方法。

【請求項19】 請求項1乃至18のいずれかに記載の方法にて製造された液晶パネル用基板。

【請求項20】 請求項1乃至18のいずれかに記載の方法にて液晶パネル用基板を製造する工程と、

前記液晶パネル用基板と対向基板とを対向させて貼り合わせ、その間に液晶を封入する工程と、を有することを特徴とする液晶パネルの製造方法。

【請求項21】 請求項20に記載の方法により製造された液晶パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶パネル用基板及び液晶パネル並びにそれらの製造方法に関する。

【0002】

【背景技術】例えば、薄膜トランジスタ(TFT)を用いた液晶ディスプレイを製造するに際しては、従来よりアモルファスシリコン(非晶質シリコンともいう)をチャネルとするTFTまたは多結晶(ポリシリコンともいう)をチャネルとするTFTを用いるものが知られている。

【0003】近年、一枚の基板上に、複数の画素及びそれに接続される配線群から成る画素領域と、それを駆動する駆動回路とを形成する要求が高まっている。

【0004】ここで、アモルファスシリコンTFTは、非晶質であるがために電子などの移動度が低く、駆動回路の能動素子として高速応答させることはできない。従って、アモルファスシリコンTFTにより画素と駆動回路を一枚基板に形成した場合、高精細な液晶パネルを駆動することは不可能である。

【0005】一方、ポリシリコンTFTは、単結晶ほどではないが、アモルファスシリコンTFTと比較して十分に高い移動度を確保でき、駆動回路の能動素子として優れている。

【0006】ところで、今までポリシリコンTFTは高温プロセスを利用して製造されたので、ガラス基板のような耐熱性の低い基板上には形成できなかった。しかし、近年低温ポリシリコン製造法が開発され、いまではガラス基板上にて画素用ポリシリコンTFTと同時に、ドライバ用ポリシリコンTFTを形成できるようになった。

【0007】

【発明が解決しようとする課題】ところで、ポリシリコンTFTは、オフ時のリーク電流がアモルファスシリコンTFTよりも低いために、画素電極に接続される画素TFTとして用いた場合には、液晶にチャージされた電圧がTFTのオフ時に低下し易い。さらに、画素TFTはドライバ回路ほどの高速応答性は不要である。

【0008】これらの点から、画素TFTはアモルファスシリコンTFTとし、ドライバの能動素子はポリシリコンTFTとするのが理想であるが、異なるTFTを一枚の基板に製造することはできない。

【0009】さらに、画素領域では高電圧が印加されるため、最小線幅は通常 $5\mu\text{m}$ 以上である。これに対して、ドライバ回路では限られた面積に多くの回路(シフトレジスタなど)を形成する必要があることと、回路の高速動作が要求されることから、サブミクロンオーダーのデザインルールが要求されている。

【0010】本発明は、上記事情に鑑みてなされたものであり、その目的は、画素領域には半導体層が例えばアモルファスシリコンである半導体装置を用い、ドライバ領域には半導体層が単結晶または多結晶の半導体装置を用い、かつ、画素領域とドライバ領域とを一枚の基板に形成することができる液晶パネル用基板及び液晶パネル並びにその製造方法を提供することにある。

## 【0011】

【課題を解決するための手段】上述した課題を解決する本発明は、以下のような構成をしている。

【0012】請求項1に記載の発明は、第1の基板上に画素領域と駆動回路とを有する液晶パネル用基板の製造方法であって、前記第1の基板上の前記画素領域に、第1の半導体装置をスイッチング素子とする複数の画素と、該複数の画素に接続された第1の電極配線群とを形成し、前記第1の電極配線群の端子となる部分を露出させて第1の電極露出部とする第1工程と、前記第1の基板とは異なる第2の基板を用いて、前記駆動回路の能動素子であって半導体層が単結晶または多結晶シリコンである複数の第2の半導体装置と、該複数の第2の半導体装置に接続された第2の電極配線群とを含む被転写層を形成し、前記第2の電極配線群の端子となる部分を露出させて第2の電極露出部とする第2工程と、前記第1、第2の電極露出部が導通する位置関係にて、前記第1の基板上に前記被転写層を転写する第3工程と、を有することを特徴とする請求項1の発明によれば、液晶パネル用基板の基板部分を構成する第1の基板には、画素領域のみを予め形成しておき、駆動回路はその第1の基板とは異なる第2の基板に形成され、後に液晶パネル用基板の基板上に接合される。このため、画素領域には、オフリーク電流の小さい画素用トランジスタに適した第1の半導体装置として、その半導体層（チャネル層）に例えばアモルファスシリコンを用いていることができる。一方、駆動回路の能動素子として、移動度が高い単結晶または多結晶シリコンの半導体層を持つ第2の半導体装置を使用できる。また、第2の半導体装置を含む被転写層を、液晶パネル用基板の基板上に接合する際には、画素領域の第1の電極露出部と、被転写層の第2の電極露出部とが導通するので、後に煩雑な配線作業を伴うことがない。

【0013】ここで、請求項2に示すように、前記第1の半導体装置はアモルファスシリコンTFTとすることができ、前記第2の半導体装置は多結晶シリコンTFTとすることができる。なお、特に第2の半導体装置はTFTに限らず、単結晶シリコン基板を用いた半導体であっても良い。

【0014】請求項3の発明は、前記被転写層より前記第2の基板を除去する第4工程をさらに有することを特徴とする。

【0015】例えば第2の基板上に多結晶シリコンTFTを含む被転写層を製造した後であって、この被転写層を第1の基板上に転写した後は、もはや第2の基板は不要である。したがって、このような場合に第2の基板を被転写層から除去することが好ましい。ただし、第2の半導体装置がTFTでなく、単結晶シリコンの第2の基板自体をチャネル層として利用する場合には、第2の基板は除去してはならない。

【0016】第2の基板を除去する場合には、請求項4に示すように、前記第2工程では、前記第2の基板上に分離層を形成し、前記分離層上に前記被転写層を形成し、前記第4工程では、前記分離層を境として、前記被転写層より前記第2の基板を除去することが好ましい。

【0017】デバイス製造における信頼性が高い例えば石英基板などの第2の基板上に、例えば、光を吸収する特性をもつ分離層を設けておき、その第2の基板上に被転写層を形成する。被転写層を第1の基板上に接合した後に分離層に光を照射し、これによって、その分離層において剥離現象を生じせしめて、その分離層と第2の基板との密着性を低下させる。そして、第2の基板に力を加えて被転写層から離脱させる。

【0018】請求項5の発明は、前記第2工程は、一枚の前記第2の基板上に、複数の前記被転写層を同時に形成する工程と、複数の前記被転写層を個々に分離する工程と、を含むことを特徴とする。

【0019】こうすると、被転写層の製造コストが大幅に低減する。

【0020】このとき、請求項6に示すように、前記第2工程は、同時に形成された複数の前記被転写層の電気的特性を検査する検査工程を有し、前記第3工程は、前記検査工程にて良品と判別された被転写層を前記第1の基板上に転写する工程を含むことが好ましい。

【0021】こうすると、駆動回路のみの不良に起因して液晶基板全体が不良になる確率が大幅に低減し、歩留まりが向上する。

【0022】請求項7に示すように、前記第3工程は、前記第1の基板上の複数の領域にて、それぞれ被転写層を転写する工程を有することができる。

【0023】特に、駆動回路は四角形状の画素領域の二辺以上に隣接する複数箇所に配置されることがあり、その場合に各所の駆動回路を転写して形成できる。

【0024】請求項8に示すように、前記第3工程は、異方性導電膜を介在させて、前記第1の基板と前記被転写層とを接続することが好ましい。

【0025】異方性導電膜により、相隣接する電極同士がショートすることを防止できる。

【0026】請求項9の発明は、前記第1工程は、前記第1の半導体装置及び第1の電極配線群を第1の設計ルールに従って形成し、前記第2工程は、前記第2の半導体装置及び第2の電極配線群を、前記第1の設計ルールよりも最小線幅が小となる第2の設計ルールに従って形成することを特徴とする。

【0027】駆動回路の最小線幅を例えばサブミクロンオーダーとして実装密度を高くでき、一方画素領域では例えば2 $\mu$ m以上の最小線幅とすることができる。

【0028】請求項10の発明は、転写基板上に画素領域と駆動回路とを転写して液晶パネル用基板を製造する方法であって、前記転写基板とは異なる第1の製造用基板

を用いて、第1の半導体装置をスイッチング素子とする複数の画素と、該複数の画素に接続された第1の電極配線群とを含む第1の被転写層を形成し、前記第1の電極配線群の端子となる部分を露出させて第1の電極露出部とする第1工程と、前記転写基板とは異なる第2の製造用基板を用いて、前記駆動回路の能動素子であってかつ半導体層が単結晶または多結晶である複数の第2の半導体装置と、該複数の第2の半導体装置に接続された第2の電極配線群とを含む第2の被転写層を形成し、前記第2の電極配線群の端子となる部分を露出させて第2の電極露出部とする第2工程と、前記転写基板上に、配線層を形成する第3の工程と、前記転写基板上に形成された配線層に対して、第1、第2の電極露出部が対向する位置関係にて、前記転写基板上に前記第1、第2の被転写層を転写する第4工程と、少なくとも前記第1の製造用基板を、前記第1の被転写層より除去する第5工程と、を有することを特徴とする。

【0029】請求項10の発明は、請求項1の発明とは異なり、画素領域と駆動回路の双方を転写基板に転写して液晶パネル用基板を製造する方法を定義している。この場合にも、請求項1の発明と同様な効果を奏することができる。また、この場合、画素を露出するために第1の製造用基板は第5工程にて必ず除去する必要があるが、第1の製造用基板は請求項1の場合と同様に残存させても良い。

【0030】請求項11～請求項18には、請求項1の従属発明と同様の見地から、好まして実施形態が定義されている。

【0031】また、請求項19～21には、液晶駆動に最適な液晶パネル用基板、液晶パネル及びその製造方法が定義されている。

【0032】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0033】(第1の実施の形態)図1～図6は、本発明の第1の実施の形態に係るアクティブマトリクス製造方法を示す図である。本実施の形態では、図1に示すように、透明基板10上に、例えばアモルファスシリコンTFTをスイッチング素子とする画素を備えた画素領域12を形成しておく。その後、この画素領域12のゲート線を駆動する第1のドライバ14と、画素領域12のソース線を駆動する第2のドライバ16とを、透明基板10上に転写して、アクティブマトリクス基板18を製造するものである。なお、画素領域12にはアモルファスシリコンTFTに限らず、例えばポリシリコンTFTを形成しても良い。ポリシリコンTFTは、オフ時のリーク電流がアモルファスシリコンTFTよりも低い欠点はあるが、低温プロセスの発達により低温にて歩留まりが高く形成でき、装置コストを低減できる点で優れている。

【0034】[工程1]図2に模式的に示すように、まず透明基板10上に、アモルファスシリコンTFTをスイッチング素子とする複数の画素から成るアクティブマトリクス層20を形成する。なお、このアクティブマトリクス層20の詳細については後述する。このとき、各々のアモルファスシリコンTFTのゲートに接続されたゲート配線層と、そのソースに接続されたソース配線層とは、その端部が露出され、図2に示す露出端部22となっている。

【0035】透明基板10は、後にドライバ14、16が転写される転写体としての機能を有する。透明基板10は、後述するドライバ12、14を製造するための基板100に比べ、耐熱性、耐食性等の特性が劣るものであってもよい。その理由は、本発明では、基板100側に被転写層(薄膜デバイス層)140を形成し、その後、被転写層(薄膜デバイス層)140を透明基板10に転写するため、透明基板10に要求される特性、特に耐熱性は、被転写層(薄膜デバイス層)140の形成の際の温度条件等に依存しないからである。

【0036】したがって、アモルファスシリコン層20の形成の際の最高温度を $T_{max}$ としたとき、透明基板10の構成材料として、ガラス転移点( $T_g$ )または軟化点が $T_{max}$ 以下のものを用いることができる。例えば、透明基板10は、ガラス転移点( $T_g$ )または軟化点が好ましくは800℃以下、より好ましくは500℃以下の材料で構成することができる。

【0037】透明基板10に適するガラス材としては、例えば、ケイ酸ガラス(石英ガラス)、ケイ酸アルカリガラス、ソーダ石灰ガラス、カリ石灰ガラス、鉛(アルカリ)ガラス、バリウムガラス、ホウケイ酸ガラス等が挙げられる。このうち、ケイ酸ガラス以外のものは、ケイ酸ガラスに比べて融点が低く、また、成形、加工も比較的容易であり、しかも安価であり、好ましい。

【0038】[工程2]図3(A)に模式的に示すように、基板100上に分離層(光吸収層)120を形成する。

【0039】以下、基板100および分離層120について説明する。

【0040】①基板100についての説明

基板100は、光が透過し得る透光性を有するものを使用する。

【0041】この場合、光の透過率は10%以上であるのが好ましく、50%以上であるのがより好ましい。この透過率が低過ぎると、光の減衰(ロス)が大きくなり、分離層120を剥離するのにより大きな光量を必要とする。

【0042】また、基板100は、信頼性の高い材料で構成されているのが好ましく、特に、耐熱性に優れた材料で構成されているのが好ましい。その理由は、例えば後述する被転写層140や中間層142を形成する際

に、その種類や形成方法によってはプロセス温度が高くなる（例えば350～1000℃程度）ことがあるが、その場合でも、基板100が耐熱性に優れていれば、基板100上への被転写層140等の形成に際し、その温度条件等の成膜条件の設定の幅が広がるからである。

【0043】従って、基板100は、被転写層140の形成の際の最高温度を $T_{max}$ としたとき、歪点が $T_{max}$ 以上の材料で構成されているものが好ましい。具体的には、基板100の構成材料は、歪点が350℃以上のものが好ましく、500℃以上のものがより好ましい。このようなものとしては、例えば、石英ガラス、コーニング7059、日本電気ガラスOA-2等の耐熱性ガラスが挙げられる。

【0044】また、基板100の厚さは、特に限定されないが、通常は、0.1～5.0mm程度であるのが好ましく、0.5～1.5mm程度であるのがより好ましい。基板100の厚さが薄すぎると強度の低下を招き、厚すぎると、基板100の透過率が低い場合に、光の減衰を生じ易くなる。なお、基板100の光の透過率が高い場合には、その厚さは、前記上限値を超えるものであってもよい。なお、光を均一に照射できるように、基板100の厚さは、均一であるのが好ましい。

#### 【0045】②分離層120の説明

分離層120は、照射される光を吸収し、その層内および／または界面において剥離（以下、「層内剥離」、「界面剥離」と言う）を生じるような性質を有するものであり、好ましくは、光の照射により、分離層120を構成する物質の原子間または分子間の結合力が消失または減少すること、すなわち、アブレーションが生じて層内剥離および／または界面剥離に至るものがよい。

【0046】さらに、光の照射により、分離層120から気体が放出され、分離効果が発現される場合もある。すなわち、分離層120に含有されていた成分が気体となって放出される場合と、分離層120が光を吸収して一瞬気体になり、その蒸気が放出され、分離に寄与する場合とがある。このような分離層120の組成としては、例えば、次のA～Eに記載されるものが挙げられる。

#### 【0047】A. アモルファスシリコン (a-Si)

このアモルファスシリコン中には、水素(H)が含有されていてもよい。この場合、Hの含有量は、2原子%以上程度であるのが好ましく、2～20原子%程度であるのがより好ましい。このように、水素(H)が所定量含有されていると、光の照射によって水素が放出され、分離層120に内圧が発生し、それが上下の薄膜を剥離する力となる。アモルファスシリコン中の水素(H)の含有量は、成膜条件、例えばCVDにおけるガス組成、ガス圧、ガス雰囲気、ガス流量、温度、基板温度、投入パワー等の条件を適宜設定することにより調整することができる。

【0048】B. 酸化ケイ素又はケイ酸化合物、酸化チタンまたはチタン酸化合物、酸化ジルコニウムまたはジルコン酸化合物、酸化ランタンまたはランタン酸化合物等の各種酸化物セラミックス、透電体（強誘電体）あるいは半導体

酸化ケイ素としては、 $SiO$ 、 $SiO_2$ 、 $Si_3O_2$ が挙げられ、ケイ酸化合物としては、例えば $K_2SiO_3$ 、 $Li_2SiO_3$ 、 $CaSiO_3$ 、 $ZrSiO_4$ 、 $Na_2SiO_3$ が挙げられる。

【0049】酸化チタンとしては、 $TiO$ 、 $Ti_2O_3$ 、 $TiO_2$ が挙げられ、チタン酸化合物としては、例えば、 $BaTiO_4$ 、 $BaTiO_3$ 、 $Ba_2Ti_9O_{20}$ 、 $BaTi_5O_{11}$ 、 $CaTiO_3$ 、 $SrTiO_3$ 、 $PbTiO_3$ 、 $MgTiO_3$ 、 $ZrTiO_2$ 、 $SnTiO_4$ 、 $Al_2TiO_5$ 、 $FeTiO_3$ が挙げられる。

【0050】酸化ジルコニウムとしては、 $ZrO_2$ が挙げられ、ジルコン酸化合物としては、例えば $BaZrO_3$ 、 $ZrSiO_4$ 、 $PbZrO_3$ 、 $MgZrO_3$ 、 $K_2ZrO_3$ が挙げられる。

【0051】C. PZT、PLZT、PLLZT、PBZT等のセラミックスあるいは誘電体（強誘電体）

D. 窒化珪素、窒化アルミ、窒化チタン等の窒化物セラミックス

E. 有機高分子材料

有機高分子材料としては、 $-CH-$ 、 $-CO-$ （ケトン）、 $-CONH-$ （アミド）、 $-NH-$ （イミド）、 $-COO-$ （エステル）、 $-N=N-$ （アゾ）、 $-CH=N-$ （シフ）等の結合（光の照射によりこれらの結合が切断される）を有するもの、特に、これらの結合を多く有するものであればいかなるものでもよい。また、有機高分子材料は、構成式中に芳香族炭化水素（1または2以上のベンゼン環またはその縮合環）を有するものであってもよい。

【0052】このような有機高分子材料の具体例としては、ポリエチレン、ポリプロピレンのようなポリオレフィン、ポリイミド、ポリアミド、ポリエステル、ポリメチルメタクリレート（PMMA）、ポリフェニレンサルファイド（PPS）、ポリエーテルスルホン（PE S）、エポキシ樹脂等があげられる。

#### 【0053】F. 金属

金属としては、例えば、Al、Li、Ti、Mn、In、Sn、Y、La、Ce、Nd、Pr、Gd、Smまたはこれらのうちの少なくとも1種を含む合金が挙げられる。

【0054】また、分離層120の厚さは、剥離目的や分離層120の組成、層構成、形成方法等の諸条件により異なるが、通常は、1nm～20μm程度であるのが好ましく、2μm程度以下であるのがより好ましく、10nm程度以下であるのがさらに好ましい。分離層120の膜厚が厚すぎると、分離層120の良好な剥離性を

確保するために、光のパワー（光量）を大きくする必要があり、後に分離層120を除去する際に、その作業に時間がかかる。なお、分離層120の膜厚は、できるだけ均一であるのが好ましい。

【0055】分離層120の形成方法は、特に限定されず、膜組成や膜厚等の諸条件に応じて適宜選択される。たとえば、CVD（MOCVD、低圧CVD、ECR-CVDを含む）、蒸着、分子線蒸着（MB）、スパッタリング、イオンプレーティング、PVD等の各種気相成膜法、電気メッキ、浸漬メッキ（ディッピング）、無電解メッキ等の各種メッキ法、ラングミュア・プロジェクト（LB）法、スピンコート、スプレーコート、ロールコート等の塗布法、各種印刷法、転写法、インクジェット法、粉末ジェット法等が挙げられ、これらのうちの2以上を組み合わせ形成することもできる。

【0056】例えば、分離層120の組成がアモルファスシリコン（a-Si）の場合には、CVD、特に低圧CVDやプラズマCVDにより成膜するのが好ましい。

【0057】また、分離層120をゾルーゲル法によるセラミックスで構成する場合や、有機高分子材料で構成する場合には、塗布法、特に、スピンコートにより成膜するのが好ましい。

【0058】【工程3】次に、図3（B）に示すように、分離層120上に、被転写層（薄膜デバイス層）140を形成する。

【0059】この薄膜デバイス層140のK部分（図3（B）において1点鎖鎖線で囲んで示される部分）の拡大断面図を、図3（B）中に示す。図示されるように、薄膜デバイス層140は、例えば、SiO<sub>2</sub>膜（中間層）142上に形成されたTFT（薄膜トランジスタ）を含んで構成され、このTFTは、ポリシリコン層にn型不純物を導入して形成されたソース、ドレイン層146と、チャネル層144と、ゲート絶縁膜148と、ゲート電極150と、層間絶縁膜154と、例えばアルミニウムからなる電極152とを具備する。なお、この薄膜デバイス層140はドライバ回路として機能するので、p型とn型を組み合わせた相補構造とするとよい。

【0060】ここで、この薄膜デバイス層140も、ポリシリコンTFTと接続される配線層であって、アクティブマトリクス層20の露出端部22と接続される端部か、露出端部141として形成されている。

【0061】本実施の形態では、分離層120に接して設けられる中間層としてSiO<sub>2</sub>膜を使用しているが、Si<sub>3</sub>N<sub>4</sub>などのその他の絶縁膜を使用することもできる。SiO<sub>2</sub>膜（中間層）の厚みは、その形成目的や発揮し得る機能の程度に応じて適宜決定されるが、通常は、10nm～5μm程度であるのが好ましく、40nm～1μm程度であるのがより好ましい。中間層は、種々の目的で形成され、例えば、被転写層140を物理的または化学的に保護する保護層、絶縁層、導電層、レーザー

光の遮光層、マイグレーション防止用のバリア層、反射層としての機能の内の少なくとも1つを発揮するものが挙げられる。

【0062】なお、場合によっては、SiO<sub>2</sub>膜等の中間層を形成せず、分離層120上に直接被転写層（薄膜デバイス層）140を形成してもよい。

【0063】このような薄膜素子（薄膜デバイス）は、その形成方法との関係で、通常、比較的高いプロセス温度を経て形成される。したがって、この場合、前述したように、基板100としては、そのプロセス温度に耐え得る信頼性の高いものが必要となる。

【0064】【工程4】次に、図4に示すように、薄膜デバイス層140を、透明基板10上に導電性接着層160を介して接着する。このとき、透明基板10上に予め形成されたアクティブマトリクス層20の露出端部22と、薄膜デバイス層140の露出端部141とが対向される。

【0065】導電性接着層160の好適な例としては、ACF（anisotropic conductive film：異方性接着膜）であり、両露出端部22、141は、その間に挟まれて加熱加圧される導電粒子161により電気的に接続される。ACFを用いると、厚さ方向のみで導通が確保されるため、隣接する露出端部22同士または141同士がショートすることを防止できる。なお、他の導電性接着剤を用いることもでき、導電性接着層160の接着剤の材質としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気硬化型接着剤等の各種硬化型接着剤が挙げられる。接着剤の組成としては、例えば、エポキシ系、アクリレート系、シリコン系等、いかなるものでもよい。

【0066】前記硬化型接着剤を用いる場合、例えば透明基板10及び露出端部22上に硬化型接着剤を塗布し、その上に被転写層（薄膜デバイス層）140を接合した後、硬化型接着剤の特性に応じた硬化方法により前記硬化型接着剤を硬化させて、被転写層（薄膜デバイス層）140と透明基板10とを接着し、固定する。

【0067】接着剤が光硬化型の場合、透明基板10または光透過性の基板100の一方の外側からあるいは両外側から光を照射する。この場合、導電性接着層160中の接着剤としては、薄膜デバイス層に影響を与えにくい紫外線硬化型などの光硬化型接着剤が好ましい。

【0068】【工程5】次に、図5に示すように、基板100の裏面側から光を照射する。

【0069】この光は、基板100を透過した後に分離層120に照射される。これにより、分離層120に層内剥離および／または界面剥離が生じ、結合力が減少または消滅する。

【0070】分離層120の層内剥離および／または界面剥離が生じる原理は、分離層120の構成材料にアブ



レーションが生じること、また、分離層120に含まれているガスの放出、さらには照射直後に生じる熔融、蒸散等の相変化によるものであることが推定される。

【0071】ここで、アブレーションとは、照射光を吸収した固定材料（分離層120の構成材料）が光化学的または熱的に励起され、その表面や内部の原子または分子の結合が切断されて放出することをいい、主に、分離層120の構成材料の全部または一部が熔融、蒸散（気化）等の相変化を生じる現象として現れる。また、前記相変化によって微小な発砲状態となり、結合力が低下することもある。

【0072】分離層120が層内剥離を生じるか、界面剥離を生じるか、またはその両方であるかは、分離層120の組成や、その他種々の要因に左右され、その要因の1つとして、照射される光の種類、波長、強度、到達深さ等の条件が挙げられる。

【0073】照射する光としては、分離層120に層内剥離および／または界面剥離を起こさせるものであればいかなるものでもよく、例えば、X線、紫外線、可視光、赤外線（熱線）、レーザ光、ミリ波、マイクロ波、電子線、放射線（ $\alpha$ 線、 $\beta$ 線、 $\gamma$ 線）等が挙げられる。そのなかでも、分離層120の剥離（アブレーション）を生じさせ易いという点で、レーザ光が好ましい。

【0074】このレーザ光を発生させるレーザ装置としては、各種気体レーザ、固体レーザ（半導体レーザ）等が挙げられるが、エキシマレーザ、Nd-YAGレーザ、Arレーザ、CO<sub>2</sub>レーザ、COレーザ、He-Neレーザ等が好適に用いられ、その中でもエキシマレーザが特に好ましい。

【0075】エキシマレーザは、短波長域で高エネルギーを出力するため、極めて短時間で分離層120にアブレーションを生じさせることができ、よって隣接する透明基板10や基板100等に温度上昇をほとんど生じさせることなく、すなわち劣化、損傷を生じさせることなく、分離層120を剥離することができる。

【0076】また、分離層120にアブレーションを生じさせるに際して、光の波長依存性がある場合、照射されるレーザ光の波長は、100nm～350nm程度であるのが好ましい。

【0077】図7に、基板100の、光の波長に対する透過率の一例を示す。図示されるように、300nmの波長に対して透過率が急峻に増大する特性をもつ。このような場合には、300nm以上の波長の光（例えば、波長308nmのXe-CIエキシマレーザ光）を照射する。

【0078】また、分離層120に、例えばガス放出、気化、昇華等の相変化を起こさせて分離特性を与える場合、照射されるレーザ光の波長は、350から1200nm程度であるのが好ましい。

【0079】また、照射されるレーザ光のエネルギー密

度、特に、エキシマレーザの場合のエネルギー密度は、10～5000mJ/cm<sup>2</sup>程度とするのが好ましく、100～500mJ/cm<sup>2</sup>程度とするのがより好ましい。また、照射時間は、1～1000nsec程度とするのが好ましく、10～100nsec程度とするのがより好ましい。エネルギー密度が低いかまたは照射時間が短いと、十分なアブレーション等が生じず、また、エネルギー密度が高いかまたは照射時間が長いと、分離層120を透過した照射光により被転写層140に悪影響を及ぼすおそれがある。

【0080】なお、レーザ光に代表される照射光は、その強度がほぼ均一となるように照射されるのであれば、照射光の照射方向は、分離層120に対し垂直な方向に限らず、分離層120に対し所定角度傾斜した方向であってもよい。

【0081】次に、図5に示すように、基板100に力を加えて、この基板100を分離層120から離脱させる。図5では図示されないが、この離脱後、基板100上に分離層が付着することもある。

【0082】【工程6】次に、残存している分離層120を、例えば洗浄、エッチング、アッシング、研磨等の方法またはこれらを組み合わせた方法により除去する。これにより、図6に示すように、被転写層（薄膜デバイス層）140が、透明基板10に転写され、透明基板10上には、画素領域12に加えて、ドライバ14、16が搭載されることになる。しかも、ドライバ14、16と画素領域12とは、上述した露出端部22、141同士が導電性接着層160にて電気的に接続されている。従って、転写後に煩雑な配線作業を省力することができる。

【0083】なお、離脱した基板100にも分離層の一部が付着している場合には同様に除去する。なお、基板100が石英ガラスのような高価な材料、希少な材料で構成されている場合等には、基板100は、好ましくは再利用（リサイクル）に供される。すなわち、再利用したい基板100に対し、本発明を適用することができ、有用性が高い。

【0084】以上のような各工程を経て、被転写層（薄膜デバイス層）140の透明基板10への転写が完了する。その後、必要により、被転写層（薄膜デバイス層）140に隣接するSiO<sub>2</sub>膜の除去や、被転写層140上への配線等の導電層や所望の保護膜の形成等を行うこともできる。

【0085】本実施の形態では、被剥離物である被転写層（薄膜デバイス層）140自体を直接に剥離するのではなく、被転写層（薄膜デバイス層）140に接合された分離層120において剥離するため、被剥離物（被転写層140）の特性、条件等にかかわらず、容易かつ確実に、しかも均一に剥離（転写）することができ、剥離操作に伴う被剥離物（被転写層140）へのダメージも

なく、被転写層140の高い信頼性を維持することができる。

【0086】ここで、このアクティブマトリクス基板上の回路を、図8に模式的に示す。画素領域12の画素12aには、スイッチング素子としてアモルファスシリコンTFT30が配置され、ゲート線G1とソース線S1に接続されている。また、アモルファスシリコンTFTのドレインは、アクティブマトリクス層20に設けられる透明画素電極56に接続される。この透明画素電極56は、対向基板が貼り合わされることで、透明共通電極232と対向し、その対向間に液晶220が封入される。なお、共通電極は必ずしも対向基板に設けるものに限らない。例えばIPSモード（液晶層に画素電極と共通電極により横電界をかけるタイプ）の場合は、TFT基板側に共通電極が形成される。

【0087】一方、薄膜デバイス層140にて構成されるドライバ14、16は、ポリシリコンTFT32、34を有する。

【0088】本実施の形態では、画素12aのスイッチング素子としてアモルファスシリコンTFTを用いることで、オフリーク電流が小さいために、液晶220にチャージされた電圧の保持特性を高くすることができる。また、画素領域12の各画素12aの線幅は、 $2\mu\text{m}$ 以上、現状では $5\mu\text{m}$ 以上で十分であるため、耐圧も高めることができる。

【0089】一方、ドライバ14、16内のポリシリコンTFTはオフリーク電流はアモルファスシリコンTFT30ほど低くないが、アモルファスシリコンTFT30よりも移動度が高いため、高精細の液晶パネルの場合でも、高速動作に追従することができる。

【0090】ここで、本実施の形態では、透明基板10に形成されるアモルファスシリコンTFT30と、被転写層140中のポリシリコンTFT32、34とは、それぞれ異なるプロセスにて異なる基板上に形成されるので、設計ルール（つまりパターン設計する上でのデザインルール）を異ならせることもできる。つまり、最小線幅が異なるTFTを形成することができる。

【0091】本実施の形態では、アクティブマトリクス基板18上の画素領域12よりも、より微細な製造プロセスで作成されたドライバ14、16を形成することができる。たとえばドライバ14、16の最小線幅は画素領域12よりも十分狭くし、例えばサブミクロンオーダーとすることができる。

【0092】ドライバ14、16を構成するシフトレジスタは、低電圧下においてロジックレベルの動作をするので、画素12aのアモルファスシリコンTFT30よりも耐圧が低くてよく、よって、アモルファスシリコンTFTより微細なポリシリコンTFT32、34となるようにして高集積化を図ることができる。

【0093】このように、本実施の形態によれば、設計

ルールレベルの異なる（つまり製造プロセスが異なる）複数の回路を、一つの基板10上に実現できる。

【0094】ここで、ドライバ14、16内のシフトレジスタの一例を図31に、そのタイミングチャートを図32に示す。図31に示すシフトレジスタは、p型ポリシリコンTFTとn型ポリシリコンTFTから成る相補型のトランジスタを含んで構成されている。

【0095】（第2の実施の形態）第1の実施の形態にて説明したアクティブマトリクス基板及びそれを用いた液晶パネルのより具体的な製造プロセスの例を、図9～図20を用いて説明する。

【0096】（工程1）図9は、透明基板10上にアクティブマトリクス層20を形成した後の状態を示している。このアクティブマトリクス層20は、複数のボトム・ゲート型のアモルファスシリコンTFT30を含んでいるが、図9では一つの画素12aに設けられた一つのアモルファスシリコンTFT30を示している。

【0097】アクティブマトリクス層20の構造を説明すると、透明基板10上に例えばMoTaなどのゲート電極40が形成され、その上に $\text{SiO}_2$ あるいは $\text{SiN}$ などの $\text{SiNX}$ のゲート絶縁膜42が形成されている。ゲート絶縁膜42の上には、ゲート電極40と対向する位置にチャンネルとしてのアモルファスシリコン層44が形成される。このアモルファスシリコン層44上には、 $\text{SiN}_x$ などのチャンネル保護膜46の左右に、それぞれ例えばn<sup>+</sup>アモルファスシリコン層48、50が形成される。これらは、アモルファスシリコンTFT30のソース・ドレインとして機能する。ソースとなるn<sup>+</sup>アモルファスシリコン層48に導通して例えばA1のソース電極52が形成され、ドレインとなるn<sup>+</sup>アモルファスシリコン層50に導通して例えばA1のドレイン電極54が形成される。さらに、ドレイン電極54と導通して、例えばITOから成る透明画素電極56が形成される。そして最上層に、例えば $\text{SiN}_x$ などによりパッシベーション膜58が形成される。なお、ゲート電極40及びソース電極52は、互いに直交する方向に延在形成され、その一端はパッシベーション膜58に覆われていない露出端部となっている。図9では、ソース電極52の露出端部22のみを示している。なお、このアクティブマトリクス層30の製造工程については周知であるので、その説明は省略する。

【0098】（工程2）図10に示すように、透光性基板（例えば石英基板）100上に、分離層（例えば、LPCVD法により形成されたアモルファスシリコン層）120と、中間層（例えば、 $\text{SiO}_2$ 膜）142と、アモルファスシリコン層（例えばLPCVD法により形成される）143とを順次に積層形成し、続いて、アモルファスシリコン層143の全面に上方からレーザー光を照射し、アニールを施す。これにより、アモルファスシリコン層143は再結晶化してポリシリコン層となる。

なお、この場合のレーザアニールをビームスキャンによって実施する場合には、上述の分離層120へのビームスキャンとは異なり、各回のビームのビーム中心同士が重なるように、同一箇所に2度以上光照射されることが好ましい。

【0099】(工程3) 続いて、図11に示すように、レーザアニールにより得られたポリシリコン層をパターンニングして、アイランド144a, 144bを形成する。

【0100】(工程4) 図12に示すように、アイランド144a, 144bを覆うゲート絶縁膜148a, 148bを、例えば、CVD法により形成する。

【0101】(工程5) 図13に示すように、ポリシリコンあるいはメタル等からなるゲート電極150a, 150bを形成する。

【0102】(工程6) 図14に示すように、ポリイミド等からなるマスク層170を形成し、ゲート電極150bおよびマスク層170をマスクとして用い、セルフアラインで、例えばボロン(B)のイオン注入を行う。これによって、p<sup>+</sup>層172a, 172bが形成される。

【0103】(工程7) 図15に示すように、ポリイミド等からなるマスク層174を形成し、ゲート電極150aおよびマスク層174をマスクとして用い、セルフアラインで、例えばリン(P)のイオン注入を行う。これによって、n<sup>+</sup>層146a, 146bが形成される。

【0104】(工程8) 図16に示すように、層間絶縁膜154を形成し、選択的にコンタクトホール形成後、電極152a~152dを形成する。

【0105】(工程9) 次に、図17に示すように、層間絶縁膜154上に保護膜174を形成する。このとき、アモルファスシリコン層20の露出端部22と電氣的に接続される電極の端部は、保護膜174に覆われない露出端部とされる。図17では、電極152aの露出端部141を示している。

【0106】このようにして形成されたCMOS構造のTFTが、図3~図6における被転写層(薄膜デバイス層)140に該当する。

【0107】(工程10) 上述した被転写層140は、図18に示すように、一枚の半導体ウエハ180に多数同時に製造することができる。そこで、この半導体ウエハ180をプローブ装置にセットし、半導体ウエハ180上の各々被転写層140の露出端部141に触針をコンタクトして、各々の被転写層140の電氣的特性検査を実施する。そして、不良と判定された被転写層140にはインカーまたはスクラッチ針などにてマーキングする。

【0108】その後、半導体ウエハ180上の多数の被転写層140を個々にダイシングする。この際、マーキングの有無により、個々の被転写層140を、不良品と

良品とに選別しておく。なお、ダイシング後に、個々の被転写層140の電氣的特性検査を実施しても良い。

【0109】(工程11) 図19に示すように、透明基板10上及び露出端部22上に、ACF160を形成、次に、そのACF160を介して、良品の被転写層140を貼り付け、熱と圧力とにより接着する。このとき、アクティブマトリクス層20の露出端部22と、被転写層140の露出端部141とは、ACF160中の導電粒子161を介して導通される。被転写層140は、透明基板10に搭載する数分だけ貼り付けられ、本実施の形態では2つの被転写層140が透明基板10に貼り付けられる。

【0110】(工程12) 図20に示すように、透光性基板100の裏面から、例えば、Xe-C1エキシマレーザー光を照射する。これにより、分離層120の層内および/または界面において剥離を生じせしめる。この結果、分離層120の結合力が低下するので、この分離層120を境として、被転写層140より基板100を引き剥がす。

【0111】さらに、分離層120をエッチングにより除去する。これにより、図1に示すように、アクティブマトリクス層30から成る画素領域12が形成された透明基板10上に、ドライバ14, 16が転写され、アクティブマトリクス基板18が完成する。

【0112】(工程13) 最後に、このアクティブマトリクス基板18を用いて、図21のように組み立てて液晶パネルを製造する。

【0113】図21に示すように、アクティブマトリクス型の液晶パネルは、バックライト等の照明光源200、偏光板210、アクティブマトリクス基板18、液晶220、対向基板230、偏光板240を具備する。

【0114】なお、なお、画素電極を金属で形成した場合、反射板および偏光板210は不要となる。

【0115】図21に示す構成部材を組み立てるに当たって、まず、図22に示すように、アクティブマトリクス基板18と対向基板230とを貼り合わせる。この際、予め、アクティブマトリクス基板18の液晶5表示利用域部12の表面に配向膜を形成して配向処理が施される。図22では、配向膜は省略してある。

【0116】対向基板230は、図22に示すように、アクティブマトリクス基板18上の多数の画素電極56と対向する共通電極232が形成され、その表面が配向処理されている。そして、対向基板230とアクティブマトリクス基板18とを封止材(シール材)234で封止し、両基板の間に液晶236を封入する。その後、図21に示す各構成部材を積層することで、液晶パネルが完成する。

【0117】(第3の実施の形態) 本実施の形態は、図23に示すように、転写体である透明基板300上に、画像表示領域部12と、ドライバ例えば2つのドライバ

14、16を転写して、アクティブマトリクス基板310を製造するものである。このとき、透明基板300上には予め配線パターン302が形成されており、画素領域12、ドライバ14、16は、配線パターン302と導通するようにして転写される。

【0118】以下、図23に示すアクティブマトリクス基板310の製造方法について、図24～図30を参照して説明する。なお、ドライバ14、16については、第2の実施の形態にて説明した被転写層140をそのまま利用できるので、以下、画素領域12の製造方法と、その後の転写方法について説明する。なお、この第3の実施の形態に用いる部材のうち、第2の実施の形態にて用いた部材と同一機能を有する部材については、同一符号を付してその説明を省略する。

【0119】(工程1)図24は、画素領域12の元となるアモルファスシリコンTFT30を含む被転写層400の製造工程を示している。ここで、被転写層400とは、ゲート電極40、ゲート絶縁膜42、チャンネルとなるアモルファスシリコン層44、チャンネル保護膜46、ソース・ドレインとなるn<sup>+</sup>型アモルファスシリコン層48、50、ソース電極52、ドレイン電極54、透明画素電極56、パッシベーション膜58及び後述する中間層59である。

【0120】これらの被転写層400は、アクティブマトリクス基板18を構成する透明基板300上に直接に形成するのでなく、被転写層400の製造のためにのみ用いる基板例えば透明基板402上に形成される。この透明基板402は、被転写層400を形成するための最高プロセス温度に耐える耐熱性を有する。

【0121】また、図24では、透明基板400上に例えばアモルファスシリコンにて形成された第1の分離層404を形成している。この第1の分離層404は、第2の実施の形態における分離層120と同様に機能するものである。

【0122】本実施の形態ではさらに、第1分離層404上に接して設けられる中間層59を設けている。中間層59として、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>などの絶縁膜を使用している。SiO<sub>2</sub>膜(中間層)の厚みは、その形成目的や発揮し得る機能の程度に応じて適宜決定されるが、通常は、10nm～5μm程度であるのが好ましく、40nm～1μm程度であるのがより好ましい。中間層は、種々の目的で形成され、例えば、被転写層400を物理的または化学的に保護する保護層、絶縁層、導電層、レーザー光の遮光層、マイグレーション防止用のバリア層、反射層としての機能の内の少なくとも1つを発揮するものが挙げられる。

【0123】なお、場合によっては、SiO<sub>2</sub>膜等の中間層を形成せず、第1分離層404上に直接ゲート電極40、ゲート絶縁膜42などを形成してもよい。

【0124】本実施の形態ではさらに、中間層59及び

第1分離層404にコンタクトホール53を形成し、ソース電極材料を該コンタクトホール53に充填し、後に第1分離層404より下層が除去された際に露出する露出端部22を形成している。なお、ゲート電極40の露出端部22(図示せず)は、中間層59に設けられるコンタクトホールにゲート電極材料を充填することで形成される。

【0125】(工程2)次に、図25に示すように、被転写層400上に、第2分離層として例えば熱溶融性接着層410を形成する。このとき、アモルファスシリコンTFTの表層に生じていた段差が、熱溶融性接着剤410により平坦化される。

【0126】この熱溶融性接着層410として、薄膜素子への不純物(ナトリウム、カリウムなど)汚染の虞が少ない、例えばブルーワックス(商品名)などのエレクトロニクスワックスを挙げることができる。

【0127】(工程3)さらに、図25に示すように、第2分離層である熱溶融性接着層410の上に、一次転写体420を接着する。この一次転写体420は、被転写層400の製造後に接着されるものであるため、被転写層400の製造時のプロセス温度などに対する制約はなく、常温時に保型性さえあればよい。本実施の形態ではガラス基板、合成樹脂など、比較的安価で保型性のある材料を用いている。

【0128】(工程4)次に、図26に示すように、透明基板402の裏面側から光を照射する。

【0129】この光は、透明基板402を透過した後に第1分離層404に照射される。これにより、第1分離層404に層内剥離および/または界面剥離が生じ、結合力が減少または消滅する。

【0130】次に、透明基板402に力を加えて、この基板402を第1分離層404から離脱させる。

【0131】(工程5)次に、被転写層400の下面に残存している第1分離層404を、例えば洗浄、エッチング、アッシング、研磨等の方法またはこれらを組み合わせた方法により除去する。これにより、図27に示すように、被転写層(薄膜デバイス層)400が、一次転写体420に一次転写されたことになる。このとき、ソース電極52の一部は、コンタクトホール53を介して露出して、露出端部22が形成される。ゲート電極40の一部も同様に露出される。

【0132】なお、離脱した透明基板402にも第1分離層404の一部が付着している場合には同様に除去する。なお、基板402が石英ガラスのような高価な材料、希少な材料で構成されている場合等には、基板402は、好ましくは再利用(リサイクル)に供される。すなわち、再利用したい基板402に対し、本発明を適用することができ、有用性が高い。

【0133】(工程6)次に、図28に示すように、被転写層400を、透明基板300上に導電性接着層43

0を介して接着する。このとき、透明基板300上に予め形成された配線パターン302と、被転写層400の露出端部22とが対向される。

【0134】導電性接着層430としては、第2の実施の形態と同様にACFを用い、露出端部22と配線パターン302とは、その間に挟まれて加熱加圧される導電粒子431を介して電氣的に接続される。

【0135】なお、二次転写体として機能する透明基板300は、平板であっても、湾曲板であってもよい。また、二次転写体である透明基板300は、被転写層400を形成するための基板402に比べ、耐熱性、耐食性等の特性が劣るものであってもよい。その理由は、基板402側に被転写層400を形成し、その後、被転写層400を二次転写体である透明基板300に転写するため、この透明基板300に要求される特性、特に耐熱性は、被転写層400の形成の際の温度条件等に依存しないからである。この点は、一次転写体420についても同様である。

【0136】したがって、被転写層400の形成の際の最高温度を $T_{max}$ としたとき、一次、二次転写体420、300の構成材料として、ガラス転移点( $T_g$ )または軟化点が $T_{max}$ 以下のものを用いることができる。例えば、一次、二次転写体420、300は、ガラス転移点( $T_g$ )または軟化点が好ましくは $800^{\circ}\text{C}$ 以下、より好ましくは $500^{\circ}\text{C}$ 以下、さらに好ましくは $320^{\circ}\text{C}$ 以下の材料で構成することができる。

【0137】(工程7)次に、熱溶融性樹脂層410を熱により溶融させ、この熱溶融性樹脂層410を境にして、被転写層400を一次転写体420より引き剥がす。さらに、TFTの下面に残存している熱溶融性樹脂層410を、例えば有機溶剤により除去する。これにより、図29の右側に示すように、被転写層400が二次転写体である透明基板300に転写される。この図29の右側の状態は、図24に示す基板402及び第1分離層404を、二次転写体である透明基板300及び手導電性接着層430に置き換えたものと同じとなる。従って、TFTの製造工程に用いた基板402に対する被転写層400の積層関係が、二次転写体である透明基板300上に確保される。このため、透明電極56が露出され、アクティブマトリクス基板として利用できる。

【0138】(工程8)次に、図29の左側に示すように、ドライバ14、16に対応する被転写層140を、透明基板300上に導電性接着層440を介して接着する。このとき、透明基板300上に予め形成された配線パターン302と、被転写層140の露出端部141とが対向される。

【0139】導電性接着層440としてACFを用い、露出端部141と配線パターン302とは、その間に挟まれて加熱加圧される導電粒子441を介して電氣的に接続される。

【0140】(工程9)図29の左側に示すように、基板100の裏面から、例えば、Xe-C1エキシマレーザ光を照射する。これにより、分離層120の層内および/または界面において剥離を生じせしめる。この結果、分離層120の結合力が低下するので、この分離層120を境として、被転写層140より基板100を引き剥がす。

【0141】さらに、分離層120をエッチングにより除去する。これにより、図23に示すように、透明基板300上に、かつ配線パターン302と導通された状態にて、画素領域12及びドライバ14、16が転写され、アクティブマトリクス基板310が完成する。

【0142】(工程10)最後に、このアクティブマトリクス基板310を用いて、図21のように組み立てて液晶パネルを製造する。この際、図30の通り、アクティブマトリクス基板310と対向基板230とがシール材貼り合わされて、その間に液晶236を封入する封入工程が実施される。

【0143】なお、第3の実施の形態では、画素領域12を2度転写により基板300上に転写したが、ドライバ14、16の場合と同様に1度転写で行うことも可能である。このとき、1度転写により透明画素電極が露出するように構成すればよい。

【0144】

【実施例】次に、ドライバ14、16の製造に関する具体的実施例について説明する。

【0145】(実施例1)縦50mm×横50mm×厚さ1.1mmの石英基板(軟化点: $1630^{\circ}\text{C}$ 、歪点: $1070^{\circ}\text{C}$ 、エキシマレーザの透過率:ほぼ100%)を用意し、この石英基板の片面に、分離層(レーザ光吸収層)として非晶質シリコン(a-Si)膜を低圧CVD法( $\text{Si}_2\text{H}_6$ ガス、 $425^{\circ}\text{C}$ )により形成した。分離層の膜厚は、100nmであった。

【0146】次に、分離層上に、中間層として $\text{SiO}_2$ 膜をECR-CVD法( $\text{SiH}_4 + \text{O}_2$ ガス、 $100^{\circ}\text{C}$ )により形成した。中間層の膜厚は、200nmであった。

【0147】次に、中間層上に、被転写層として膜厚50nmの非晶質シリコン膜を低圧CVD法( $\text{Si}_2\text{H}_6$ ガス、 $425^{\circ}\text{C}$ )により形成し、この非晶質シリコン膜にレーザ光(波長308nm)を照射して、結晶化させ、ポリシリコン膜とした。その後、このポリシリコン膜に対し、所定のパターンニングを施し、薄膜トランジスタのソース・ドレイン・チャネルとなる領域を形成した。この後、 $1000^{\circ}\text{C}$ 以上の高温によりポリシリコン膜表面を熱酸化してゲート絶縁膜 $\text{SiO}_2$ を形成した後、ゲート絶縁膜上にゲート電極(ポリシリコンにMo等の高融点金属が積層形成された構造)を形成し、ゲート電極をマスクとしてイオン注入することによって、自己整合的(セルフアライン)にソース・ドレイン領域を形成

し、薄膜トランジスタを形成した。この後、必要に応じて、ソース・ドレイン領域に接続される電極及び配線、ゲート電極につながる配線が形成される。これらの電極や配線にはAlが使用されるが、これに限定されるものではない。また、後工程のレーザー照射によりAlの溶融が心配される場合は、Alよりも高融点の金属（後工程のレーザー照射により溶融しないもの）を使用してもよい。最後にパッシベーション膜を形成し、その際ソース線、ゲート線の端部を露出させた。

【0148】次に、前記薄膜トランジスタの上に、導電性接着剤を塗布しさらにその塗膜に、転写体として縦200mm×横300mm×厚さ1.1mmの大型の透明なガラス基板（ソーダガラス、軟化点：740℃、歪点：511℃）を接合した。ガラス基板には予め配線パターンが形成され、その配線パターンとの導通を取るために、予め位置合わせした後に接合した。

【0149】次に、Xe-C1エキシマレーザ（波長：308nm）を石英基板側から照射し、分離層に剥離（層内剥離および界面剥離）を生じさせた。照射したXe-C1エキシマレーザのエネルギー密度は、250mJ/cm<sup>2</sup>、照射時間は、20nsecであった。なお、エキシマレーザの照射は、スポットビーム照射とラインビーム照射とがあり、スポットビーム照射の場合は、所定の単位領域（例えば8mm×8mm）にスポット照射していく。また、ラインビーム照射の場合は、所定の単位領域（例えば378mm×0.1mmや378mm×0.3mm（これらはエネルギーの90%以上が得られる領域））を同じくしていく。

【0150】この後、石英基板とガラス基板（転写体）とを分離層において引き剥がし、石英基板上に形成された薄膜トランジスタおよび中間層を、ガラス基板側に転写した。

【0151】その後、ガラス基板側の中間層の表面に付着した分離層を、エッチングや洗浄またはそれらの組み合わせにより除去した。また、石英基板についても同様の処理を行い、再使用に供した。

【0152】なお、転写体となるガラス基板が石英基板より大きな基板であれば、本実施例のような石英基板からガラス基板への転写を、平面的に異なる領域に繰り返して実施し、ガラス基板上に、石英基板に形成可能な薄膜トランジスタの数より多くの薄膜トランジスタを形成することができる。さらに、ガラス基板上に繰り返し積層し、同様により多くの薄膜トランジスタを形成することができる。

【0153】（実施例2）分離層を、H（水素）を20at%含有する非晶質シリコン膜とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0154】なお、非晶質シリコン膜中のH量の調整は、低圧CVD法による成膜時の条件を適宜設定することにより行った。

【0155】（実施例3）分離層を、スピンコートによりゾルーゲル法で形成したセラミックス薄膜（組成：PbTiO<sub>3</sub>、膜厚：200nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0156】（実施例4）分離層を、スパッタリングにより形成したセラミックス薄膜（組成：BaTiO<sub>3</sub>、膜厚：400nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0157】（実施例5）分離層を、レーザーアブレーション法により形成したセラミックス薄膜（組成：Pb(Zr, Ti)O<sub>3</sub>（PZT）、膜厚：50nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0158】（実施例6）分離層を、スピンコートにより形成したポリイミド膜（膜厚：200nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0159】（実施例7）分離層を、スピンコートにより形成したポリフェニレンサルファイド膜（膜厚：200nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0160】（実施例8）分離層を、スパッタリングにより形成したAl層（膜厚：300nm）とした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0161】（実施例9）照射光として、Kr-Fエキシマレーザ（波長：248nm）を用いた以外は実施例2と同様にして、薄膜トランジスタの転写を行った。なお、照射したレーザのエネルギー密度は、250mJ/cm<sup>2</sup>、照射時間は、20nsecであった。

【0162】（実施例10）照射光として、Nd-YAGレーザ（波長：1068nm）を用いた以外は実施例2と同様にして薄膜トランジスタの転写を行った。なお、照射したレーザのエネルギー密度は、400mJ/cm<sup>2</sup>、照射時間は、20nsecであった。

【0163】（実施例11）被転写層として、高温プロセス1000℃によるポリシリコン膜（膜厚80nm）の薄膜トランジスタとした以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0164】（実施例12）転写体として、ポリカーボネート（ガラス転移点：130℃）製の透明基板を用いた以外は実施例1と同様にして、薄膜トランジスタの転写を行った。

【0165】（実施例13）転写体として、AS樹脂（ガラス転移点：70～90℃）製の透明基板を用いた以外は実施例2と同様にして、薄膜トランジスタの転写を行った。

【0166】（実施例14）転写体として、ポリメチルメタクリレート（ガラス転移点：70～90℃）製の透明基板を用いた以外は実施例3と同様にして、薄膜トラン

ンジスタの転写を行った。

【0167】(実施例15)転写体として、ポリエチレンテレフタレート(ガラス転移点:67℃)製の透明基板を用いた以外は、実施例5と同様にして、薄膜トランジスタの転写を行った。

【0168】(実施例16)転写体として、高密度ポリエチレン(ガラス転移点:77~90℃)製の透明基板を用いた以外は実施例6と同様にして、薄膜トランジスタの転写を行った。

(実施例17)転写体として、ポリアミド(ガラス転移点:145℃)製の透明基板を用いた以外は実施例9と同様にして、薄膜トランジスタの転写を行った。

【0169】(実施例18)転写体として、エポキシ樹脂(ガラス転移点:120℃)製の透明基板を用いた以外は実施例10と同様にして、薄膜トランジスタの転写を行った。

【0170】(実施例19)転写体として、ポリメチルメタクリレート(ガラス転移点:70~90℃)製の透明基板を用いた以外は実施例11と同様にして、薄膜トランジスタの転写を行った。

【0171】実施例1~19について、それぞれ、転写された薄膜トランジスタの状態を肉眼と顕微鏡とで視観察したところ、いずれも、欠陥やムラがなく、均一に転写がなされていた。

【0172】以上述べたように、本発明では、転写技術を用いることで、画素領域にはオフ時の案抵抗が高いアモルファスシリコンTFTなどをスイッチング素子として用い、そのドライバには移動度が高く高速応答可能なポリシリコンTFTなどを能動素子として用いながらも、画素領域及びそのドライバを一枚の基板に形成することができる。

【0173】

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る液晶パネル用基板を概略的に示す平面図である。

【図2】本発明の液晶パネル用基板の製造方法の第1の実施の形態における第1の工程を示す断面図である。

【図3】(A)(B)は、本発明の液晶パネル用基板の製造方法の第1の実施の形態における第2、第3の工程を示す断面図である。

【図4】本発明の液晶パネル用基板の製造方法の第1の実施の形態における第4の工程を示す断面図である。

【図5】本発明の液晶パネル用基板の製造方法の第1の実施の形態における第5の工程を示す断面図である。

【図6】本発明の液晶パネル用基板の製造方法の第1の実施の形態における第6の工程を示す断面図である。

【図7】第1の基板(図1の基板100)のレーザー光の波長に対する透過率の変化を示す図である。

【図8】本発明の液晶パネル用基板の回路構成を概略的に示す図である。

【図9】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第1の工程を示す断面図である。

【図10】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第2の工程を示す断面図である。

【図11】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第3の工程を示す断面図である。

【図12】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第4の工程を示す断面図である。

【図13】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第5の工程を示す断面図である。

【図14】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第6の工程を示す断面図である。

【図15】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第7の工程を示す断面図である。

【図16】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第8の工程を示す断面図である。

【図17】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第9の工程を示す断面図である。

【図18】駆動回路が多数同時に形成される半導体ウエハを用いて検査工程、ダイシング工程を実施する第10工程を説明するための図である。

【図19】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第11の工程を示す断面図である。

【図20】本発明の液晶パネル用基板の製造方法の第2の実施の形態における第12の工程を示す断面図である。

【図21】液晶パネルの組立工程である第13工程を説明するための図である。

【図22】液晶パネルの要部の断面構造を示す図である。

【図23】本発明の第3の実施の形態に係る液晶パネル用基板を概略的に示す平面図である。

【図24】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第1の工程を示す断面図である。

【図25】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第2、3の工程を示す断面図である。

【図26】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第4の工程を示す断面図である。

【図27】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第5の工程を示す断面図である。

【図28】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第6の工程を示す断面図である。

【図29】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第7~9の工程を示す断面図である。

【図30】本発明の液晶パネル用基板の製造方法の第3の実施の形態における第10工程を示す断面図である。

【図31】駆動回路中のシフトレジスタの回路図であ

る。

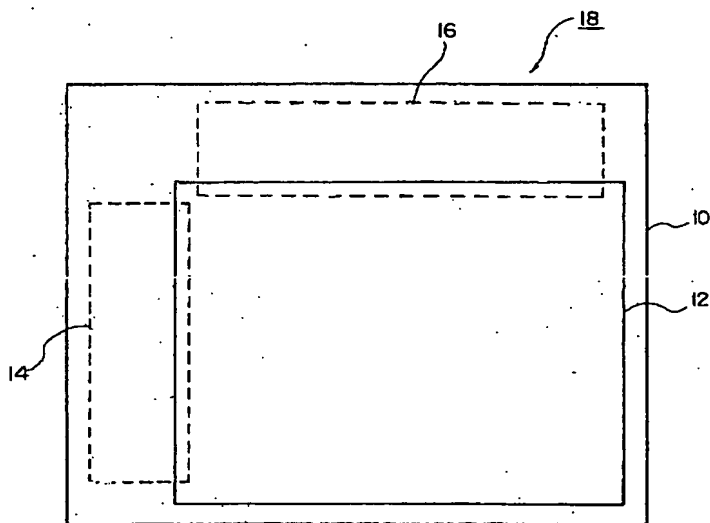
【図32】図32のシフトレジスタの動作タイミングチャートである。

【符号の説明】

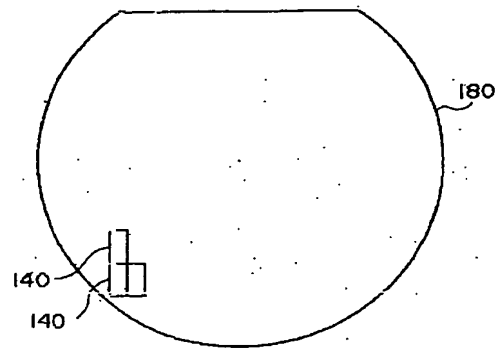
10 基板（第1の基板）  
 12 画素領域  
 14, 16 ドライバ  
 18, 310 アクティブマトリクス基板  
 20 アクティブマトリクス層  
 22 露出端部（電極露出部）  
 30 アモルファスシリコンTFT  
 32, 34 ポリシリコンTFT  
 56 画素電極  
 59 第1分離層

100 基板（第2の基板，第2の製造用基板）  
 120 分離層（レーザー吸収層）  
 140 被転写層  
 141 露出端部（電極露出部）  
 160, 430, 440 導電性接着層  
 220 液晶  
 230 対向基板  
 300 転写基板  
 302 配線パターン  
 400 被転写層  
 402 第1の製造用基板  
 410 第2分離層  
 420 一次転写体

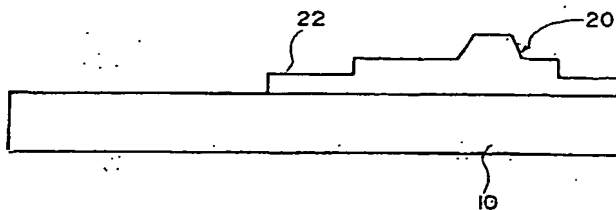
【図1】



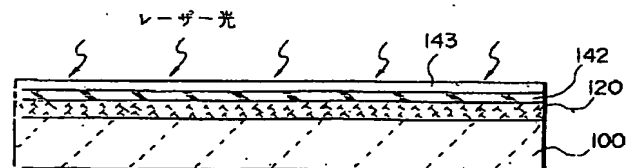
【図18】



【図2】

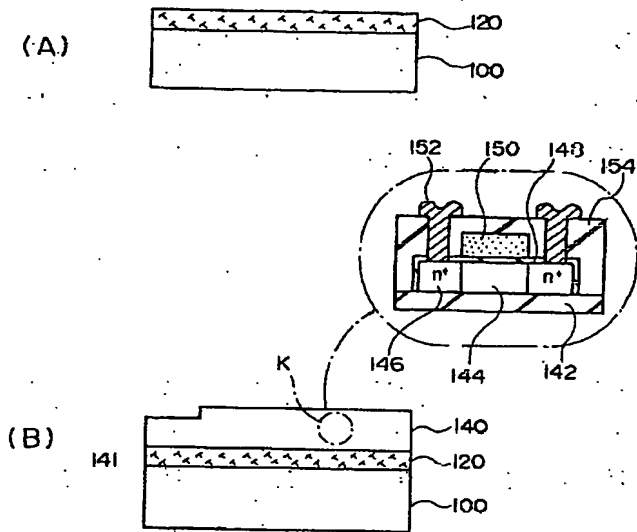


【図10】

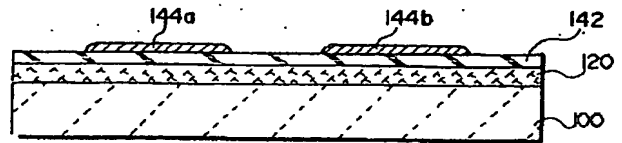




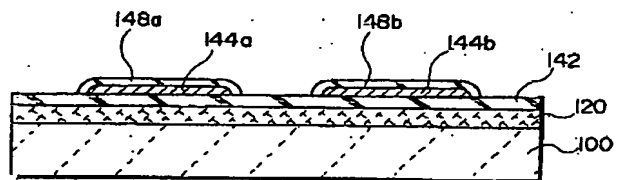
【図3】



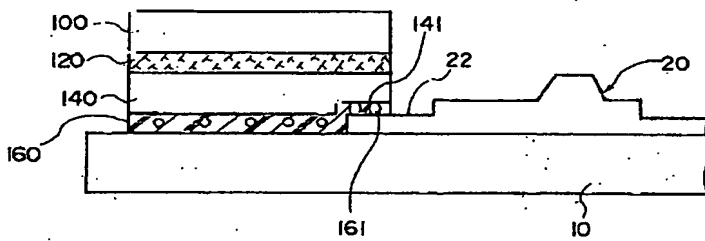
【図11】



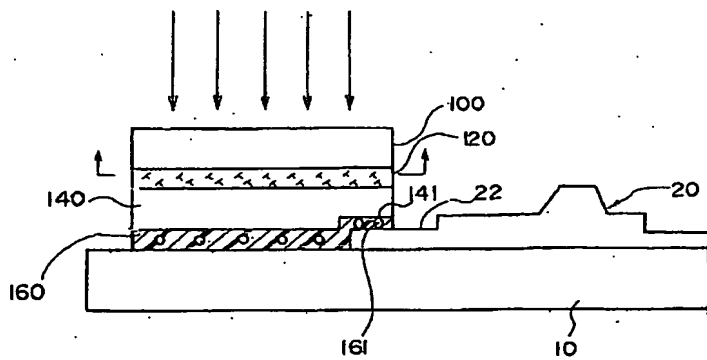
【図12】



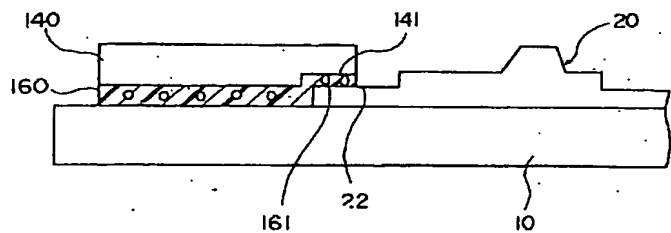
【図4】



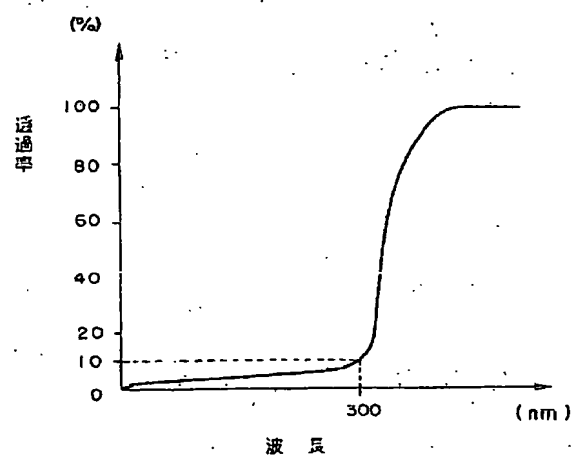
【図5】



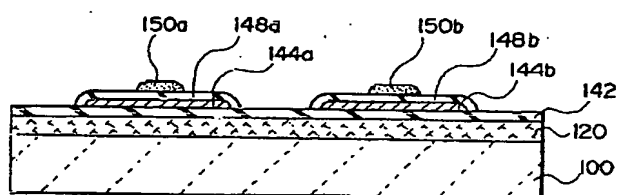
【図6】



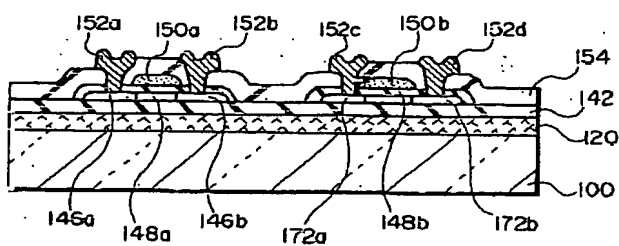
【図7】



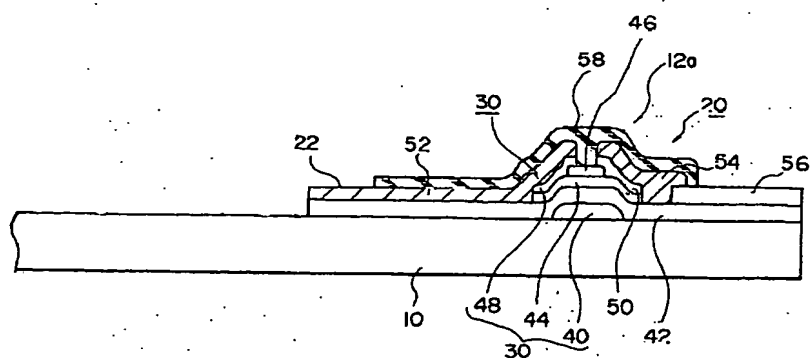
【図13】



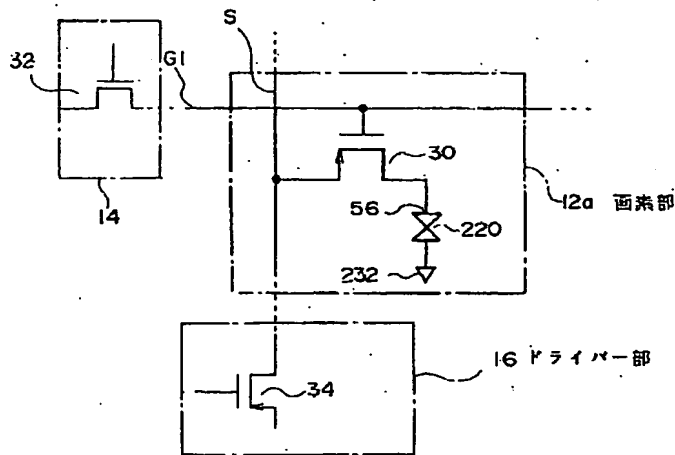
【図16】



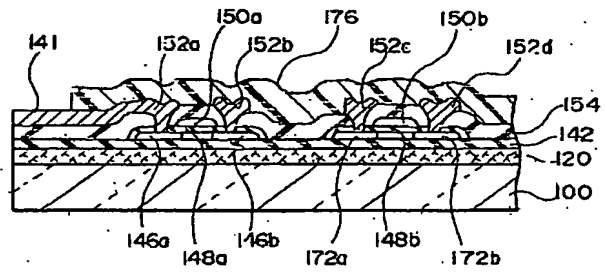
【図9】



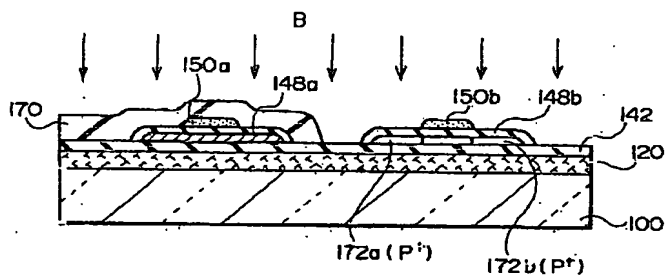
【図8】



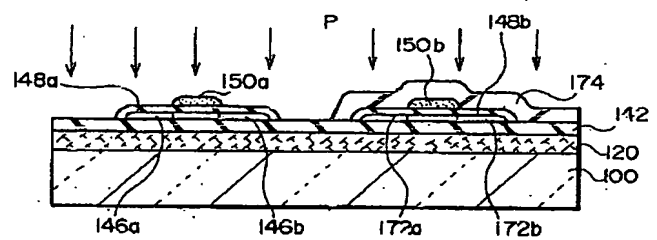
【图 17】



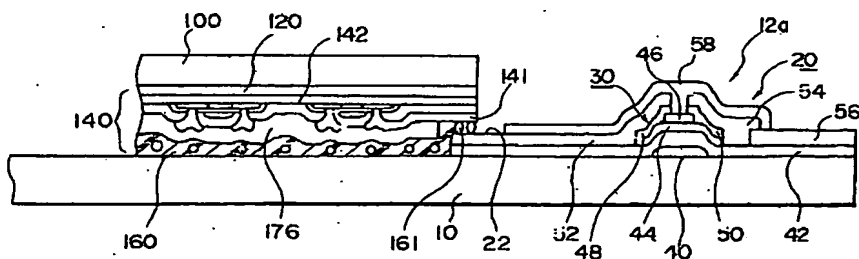
【図14】



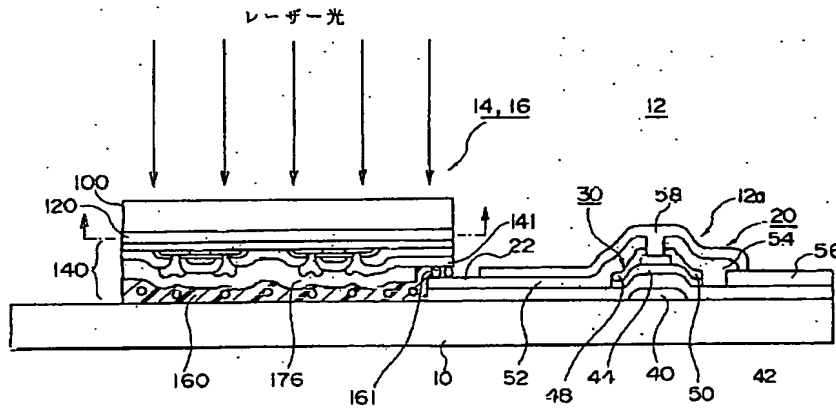
【图15】



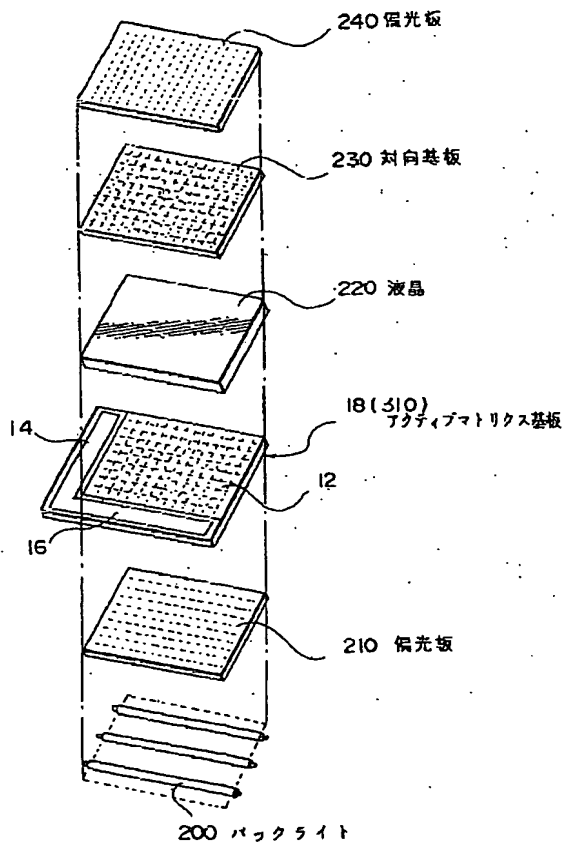
【図19】



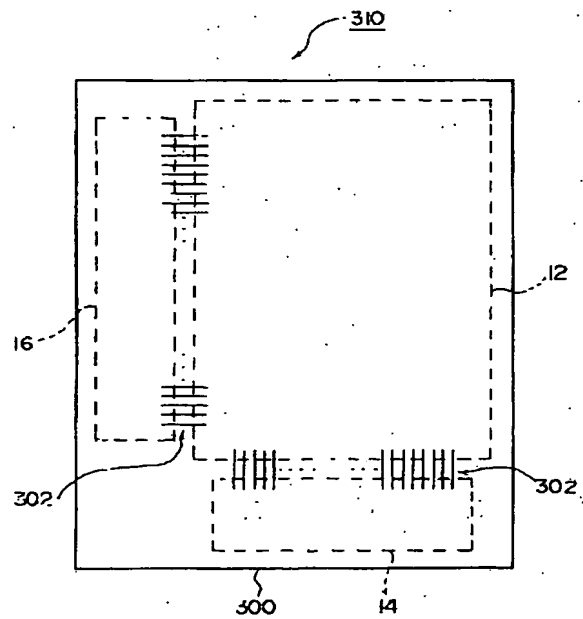
【図20】



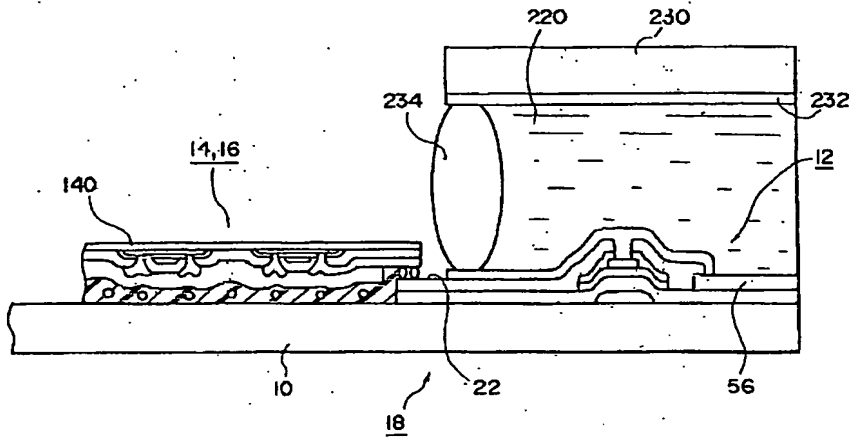
【図21】



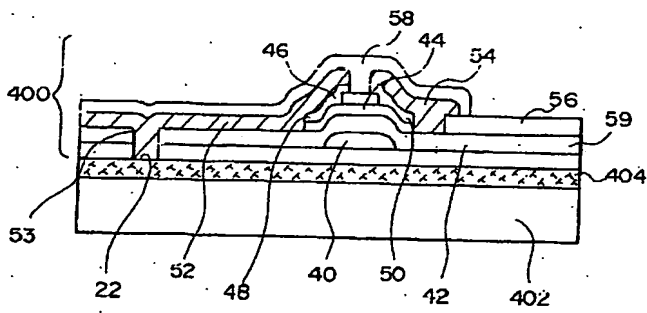
【図23】



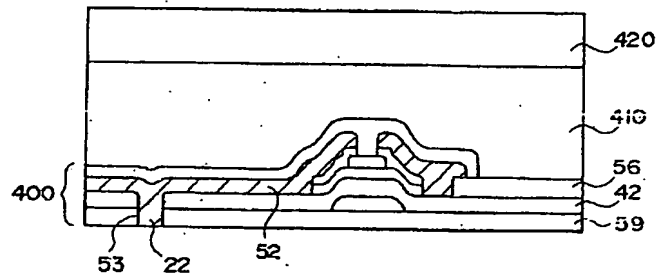
【図22】



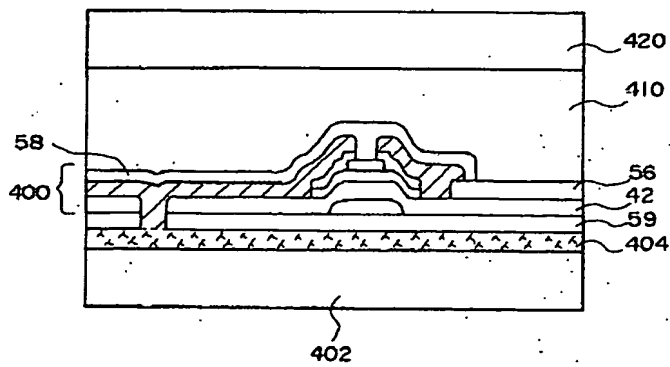
【図24】



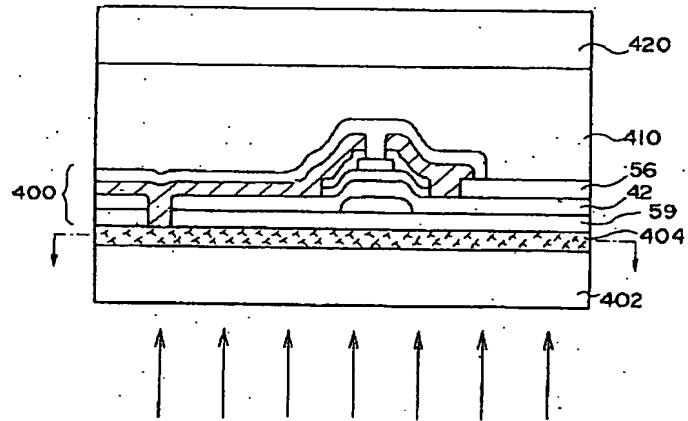
【図27】



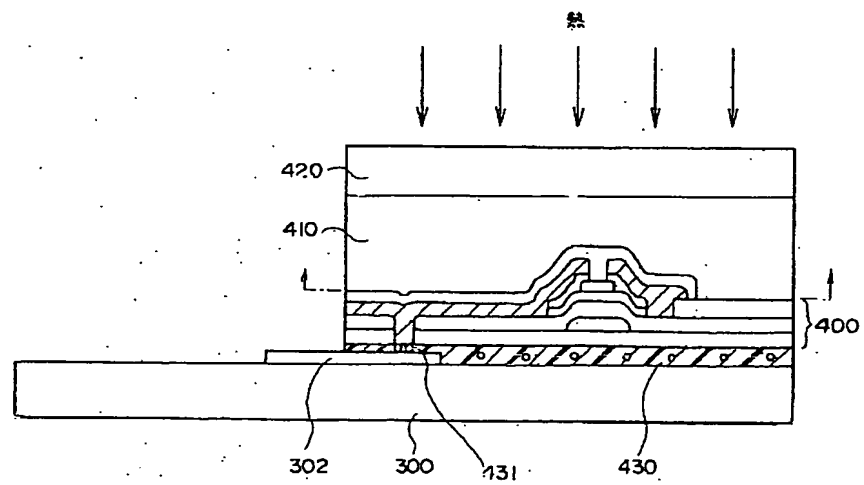
【図25】



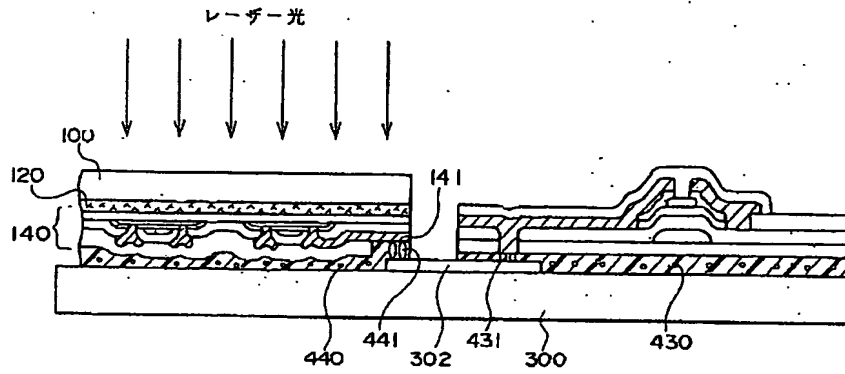
【図26】



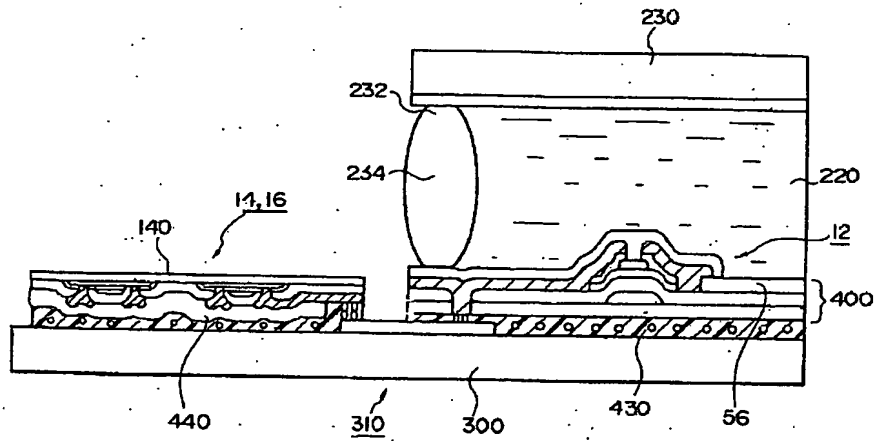
【図28】



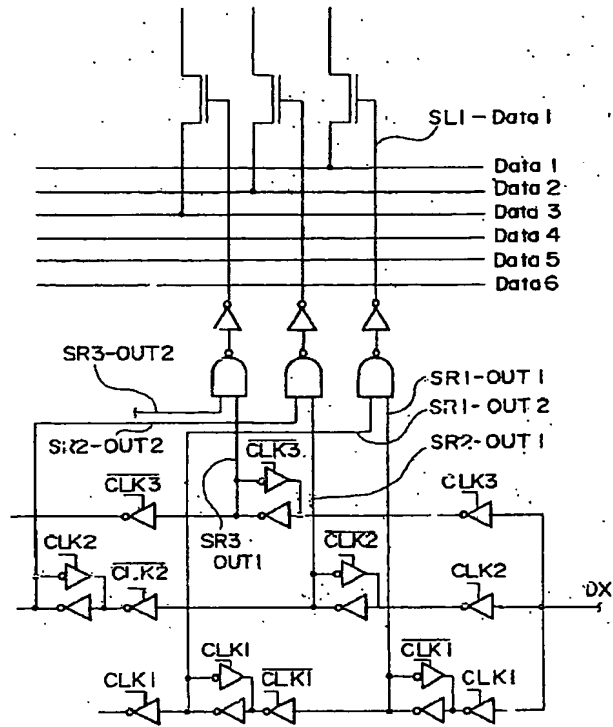
【図29】



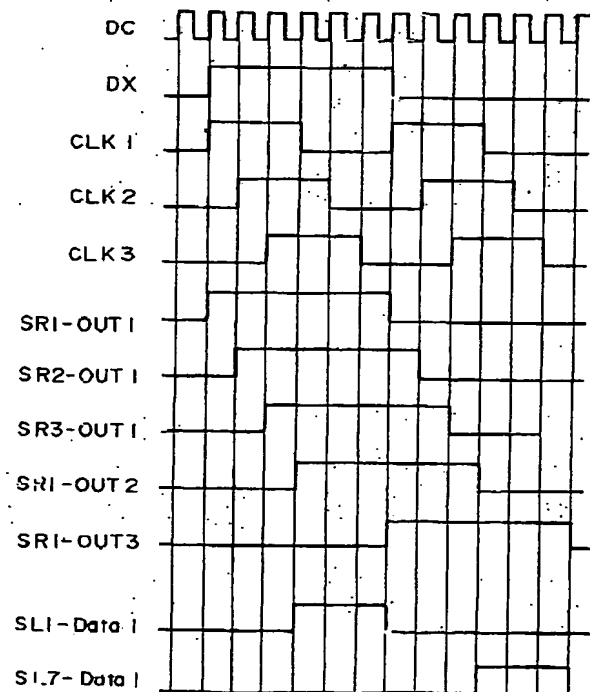
【図30】



【図31】



【図32】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**